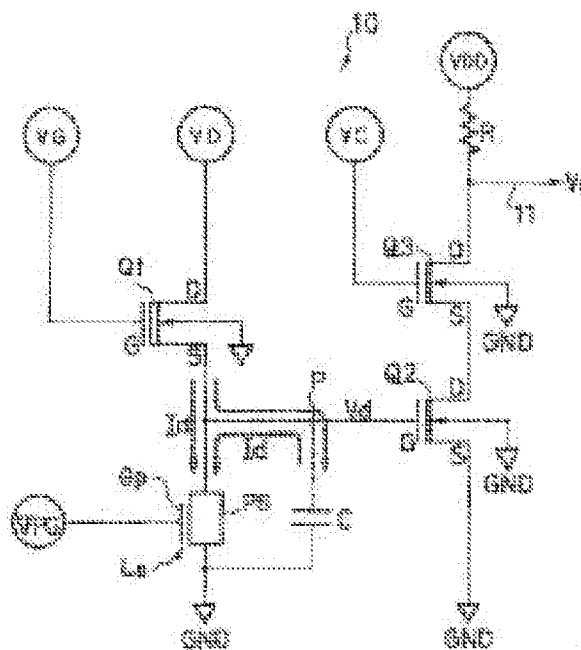


## OPTICAL SENSOR CIRCUIT AND IMAGE SENSOR USING THE CIRCUIT

**Patent number:** JP2000101928 (A)  
**Publication date:** 2000-04-07  
**Inventor(s):** SHINOZUKA NORIYUKI; TAKEBE KATSUHIKO; IMAI TOSHIO +  
**Applicant(s):** HONDA MOTOR CO LTD; CITIZEN WATCH CO LTD +  
**Classification:**  
- **international:** **H01L27/146; H04N5/335; H01L27/146; H04N5/335;** (IPC1-7): H01L27/146;  
H04N5/335  
- **european:**  
**Application number:** JP19980264111 19980918  
**Priority number(s):** JP19980264111 19980918

### Abstract of JP 2000101928 (A)

**PROBLEM TO BE SOLVED:** To provide an optical sensor circuit which has small parasitic capacity and satisfactory sensitivity. **SOLUTION:** This optical sensor circuit consists of a converting MOS transistor TR Q1, which converts the sensor current converted by a photo-gate type optical sensor PS that converts an optical signal into a sensor current into the detection voltage having the logarithmic characteristic in a weakly inverted state, a capacitor C which is connected to the detection terminal of the TR Q1 and a gate voltage VG, which applies the resetting voltage to the gate voltage of the TR Q1 and controls the charging or discharging of the capacitor C. Then a photo-gate voltage VPG is added to apply the voltage of a prescribed level to the photo gate Gp of the sensor PS together with a linear response area which detects a detection voltage proportional to the charging or discharging current of the capacitor C, when the sensor current is lower than a prescribed level and a logarithmic response area which detects the detection voltage having the logarithmic characteristic, corresponding to the load characteristic of the TR Q1, when the sensor current exceeds a prescribed level.





## 【特許請求の範囲】

【請求項1】 光信号をセンサ電流に変換する光—電気変換手段と、

前記光—電気変換手段が変換したセンサ電流を弱反転状態で対数特性を有する検出電圧に変換する変換用MOSトランジスタと、

前記変換用MOSトランジスタの検出端子に接続して配設されたコンデンサと、

光信号を検出する際に、前記変換用MOSトランジスタのゲート電圧にリセット用電圧を印加してドレインソース間のインピーダンスを低下させ、前記コンデンサの充電または放電を制御する初期設定手段とを備え、

前記光—電気変換手段がフォトゲート型光センサから構成され、前記フォトゲート型光センサのフォトゲートに所定電圧を印加するフォトゲート電圧印加手段を備え、前記光—電気変換手段が変換したセンサ電流が所定電流以下の電流である場合には、前記コンデンサの充電電流または放電電流に比例した検出電圧を検出する線形応答領域を備えるとともに、

前記光—電気変換手段が変換したセンサ電流が前記所定電流を超える電流である場合には、前記変換用MOSトランジスタの負荷特性に対応した対数特性を有する検出電圧を検出する対数応答領域を備えることを特徴とする光センサ回路。

【請求項2】 前記コンデンサが接続された前記変換用MOSトランジスタの検出端子の電圧信号を増幅して検出するための増幅用MOSトランジスタを備えることを特徴とする請求項1に記載の光センサ回路。

【請求項3】 前記コンデンサが接続された前記変換用MOSトランジスタの検出端子の電圧信号を検出するタイミングを設定するための選択用MOSトランジスタを備えることを特徴とする請求項1もしくは2に記載の光センサ回路。

【請求項4】 複数の請求項1から3のいずれかに記載の光センサ回路を、一次元もしくは二次元アレイ状に配設して構成されることを特徴とするイメージセンサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、照度に応じたセンサ出力を検出する光センサ回路およびこれを用いたイメージセンサに関し、特に、ダイナミックレンジが広く、感度が高く、且つS/N比の大きな光センサ回路およびこれを用いたイメージセンサに関する。

## 【0002】

【従来の技術】光センサ回路をマトリクス状に組み合わせてなるMOS型や、CCD型のイメージセンサは、既に従来から良く知られている。これらイメージセンサでは、照射光（入射光）によって光センサ回路に生じる電荷を光信号として用いている。例えば、CCD型イメージセンサでは主に光信号によって発生した電荷を各光セ

ンサ回路において蓄積して光信号として用い、MOS型イメージセンサでは、光センサ回路を構成するフォトダイオードの接合容量に予め電荷を充電し、照射光によって放電された電荷量を再充電時に検出することによって光信号を検出するようになっている。

【0003】このような光センサ回路による光信号検出に際して、そのダイナミックレンジを拡大することを目的として、フォトダイオード（受光素子）にFET（電界効果トランジスタ、例えば、エンハンスメント型nチャンネルMOSトランジスタ）等を直列に接続し、出力電圧を対数圧縮する機能を付加したものも開発されている。なお、これは、FETに流れる電流が小さいときはその抵抗変化が対数特性を示すことを利用している。

【0004】このような光センサ回路の構成例を図7に示している。この光センサ回路100は、フォトダイオードPD、これに直列に接続されたエンハンスメント型nチャンネルMOSトランジスタQ1、フォトダイオードPDとエンハンスメント型nチャンネルMOSトランジスタQ1の接続点P（センサ検出端子）にゲートが接続されたエンハンスメント型nチャンネルMOSトランジスタQ2、このエンハンスメント型nチャンネルMOSトランジスタQ2と直列に接続されたエンハンスメント型nチャンネルMOSトランジスタQ3から構成される。また、接続点Pには、フォトダイオードPD、エンハンスメント型nチャンネルMOSトランジスタQ1、Q2およびこれらを相互に接続する配線等によって生じる浮遊容量の合成値とからなる寄生容量コンデンサCが接続される。

【0005】フォトダイオードPDは光信号Lsを検出し、光信号Lsの照度に比例したセンサ電流Idに変換する。エンハンスメント型nチャンネルMOSトランジスタQ1はフォトダイオードPDの負荷を形成し、フォトダイオードPDで検出したセンサ電流Idを電圧に変換してセンサ検出端子Pに検出電圧Vdを発生する。

【0006】また、エンハンスメント型nチャンネルMOSトランジスタQ1は、センサ電流Idが小さな範囲の弱反転状態で対数特性を有するMOSトランジスタ負荷を形成し、フォトダイオードPDで検出したセンサ電流Idを対数特性を有する検出電圧Vdに変換する。このため、光信号Lsが大きく変化してセンサ電流Idが大きく変化（桁数が異なるような大きな変化）しても、このように対数特性を有した変換がなされて検出電圧Vdの変化は抑えられてこれが飽和することがなく、入力に対する出力のダイナミックレンジを広くすることができる。

【0007】nチャンネルMOSトランジスタQ2は出力トランジスタを形成し、検出電圧Vdをセンサ電流信号として光センサ回路10の外部に取り出すための電圧—電流変換を行う。また、nチャンネルMOSトランジスタQ3は、nチャンネルMOSトランジスタQ2で変

換されたセンサ電流信号を外部回路に接続又は切断するためのスイッチを形成する。

【0008】このように構成された従来の光センサ回路の動作を説明する。エンハンスメント型nチャンネルMOSトランジスタQ1のドレインDおよびゲートGは共通の電源VD（例えば、5V）に接続されており、光信号Lsが検出されない状態（フォトダイオードPDが不動作状態）では、電源VDからエンハンスメント型nチャンネルMOSトランジスタQ1を介して充電電流IjがコンデンサCに流れ、コンデンサCが充電される。このため、センサ検出端子Pの検出電圧Vdは電源VDの電圧に近い値まで上昇し、この電圧値はフォトダイオードPDが光信号Lsを検出していない初期状態を示す値となる。

【0009】なお、初期状態における検出電圧Vdの値（初期値）は、コンデンサCが充電されてセンサ検出端子Pの検出電圧Vdが上昇して電源VDの電圧に近づくにつれて、エンハンスメント型nチャンネルMOSトランジスタQ1のゲートG—ソースS間の電圧V(GS)（ドレインD—ソースS間の電圧V(SD)と同じ）が低下し、ドレインD—ソースS間のインピーダンスが急激に増加するために充電電流Ijが減少してしまい、電源VDより小さな値（例えば、4.5V）に設定される。

【0010】光センサ回路100の初期状態からフォトダイオードPDが光信号Lsを検出すると、フォトダイオードPDにセンサ電流Idが流れ、センサ検出端子Pの検出電圧Vdは光信号Lsの増加に対応してエンハンスメント型nチャンネルMOSトランジスタQ1のドレインD—ソースS間のインピーダンスに対応した対数特性で減少し、初期値よりも低下する。この検出電圧Vdの絶対値を検出することにより、光信号Lsを検出することができる。なお、フォトダイオードPDのセンサ電流Idは光信号Lsに比例し、一方、センサ検出端子Pの検出電圧Vdはセンサ電流Idに対数特性を有するドレインD—ソースS間のインピーダンスを乗算した値なので、光信号Lsを対数的特性をもって検出することができる。

【0011】この光センサ回路100におけるセンサ電流Id—検出電圧Vd特性図を図8に示している。この図から分かるように、光センサ回路100の初期状態に近いとき（センサ電流Id=10<sup>-12</sup>A）の検出電圧Vdの値（初期値）は、例えば、4.5Vであり、センサ電流が5桁増加したとき（センサ電流Id=10<sup>-7</sup>Aのとき）には検出電圧Vdは4.2Vになる。このように、上記光センサ回路100を用いれば、光信号の5桁レベル（10万倍）の変化を検出電圧Vdでは0.3Vの範囲の変化として検出することができるため、光信号Lsの入力に対してダイナミックレンジの広い光センサ回路を構成することができる。

【0012】しかしながら、上記の構成の光センサ回路

100の場合には、光信号の全範囲においてセンサ電流Idに対して対数特性で検出電圧Vdへの変換を行うため、光信号Lsが微小でセンサ電流が微小な範囲（Id=10<sup>-12</sup>~10<sup>-11</sup>A程度）の場合に、検出電圧Vdの変化が小さすぎてセンサ感度があまり良くないという問題がある。

【0013】また、上記光センサ回路100では、フォトダイオードPDが光信号Lsを検出しなくなった場合、フォトダイオードPDが遮断され、コンデンサCには充電電流Ijが流れてセンサ検出端子Pの検出電圧Vdは上昇していくが、既に説明したように、エンハンスメント型nチャンネルMOSトランジスタQ1のドレインD—ソースS間のインピーダンスが急激に増加して所定値（4.5V）以上には増加しない。このように検出電圧Vdが上昇するときの時間経過特性を図9において波線L（100）で示しているが、この図に示す特性から分かるように、検出電圧Vdは、フォトダイオードPDが遮断されてから所定値に近づくにつれてその増加率が低下するため、所定値（4.5V）に達するまで時間がかかる。

【0014】このため、上記光センサ回路100をマトリクス状に配置してイメージセンサに適用する場合、検出電圧Vdをリセットするときに初期値（4.5V）に到達するまでの応答時間が遅く、イメージセンサには長時間の残像として表示されるという問題がある。

【0015】また、上記光センサ回路100は、ノイズに対してエンハンスメント型nチャンネルMOSトランジスタQ1およびコンデンサCがピークホールド回路を形成し、振幅の大きなノイズレベルを光信号Lsとして誤検出し、S/N比が低下して検知可能照度の下限が上昇し、感度低下を招くという問題もある。

【0016】このようなことから本出願人は、微小光信号の検出が高精度で可能であり、残像現象の発生がほとんど生じなく、S/N比が高いような光センサ回路を考案した（これについては既に別途出願済み）。この光センサ回路200を図10に示しており、上述の光センサ回路100とは、エンハンスメント型nチャンネルMOSトランジスタQ1のドレインDには定電圧電源（例えば、5V）VDが接続され、ゲートGには高低二種類のゲート電圧を印加可能なゲート電圧電源VGが接続されている点が異なる。

【0017】このような構成の光センサ回路200の場合には、図11に示すようなタイミングで、ドレイン電圧VD（=5V）より十分高い高電圧VHと、ドレイン電圧VDに等しいもしくはこれより低い低電圧VLとがゲート電圧VGに印加される。まず、ゲート電圧VGとして高電圧VHが設定されると、エンハンスメント型nチャンネルMOSトランジスタQ1のドレインD—ソースS間のインピーダンスは低抵抗状態となり、コンデンサCは、図9において実線L（200）で示すように、

急速に充電され、センサ検出端子Pの検出電圧V<sub>d</sub>はドレイン電圧V<sub>D</sub>(=5V)にほぼ等しい値(例えば、4.95V)まで上昇する。このため、光センサ回路200をマトリクス状に配置してイメージセンサに適用する場合、検出電圧V<sub>d</sub>をリセットするときに初期値(4.95V)に到達するまでの応答性が良くなり、イメージセンサの残像の問題を防止できる。

【0018】次に、検出可能期間としてゲート電圧V<sub>G</sub>が低電圧V<sub>L</sub>に設定されると、エンハンスメント型nチャンネルMOSトランジスタQ1は弱反転状態となる。そして、フォトダイオードPDに光が照射されるとコンデンサCに蓄えられた電荷が放電される。ここで、フォトダイオードPDに入射する光が弱い場合はセンサ電流I<sub>d</sub>はほとんど流れないため、エンハンスメント型nチャンネルMOSトランジスタQ1は高インピーダンス状態であり、主にコンデンサCに充電された電荷が利用される。このため、出力電圧の変化はリニア(線形)的になる。一方、フォトダイオードPDに入射する光が強くなると、検出電圧V<sub>d</sub>の特性は図11において矢印で示すように変化し、コンデンサCに蓄えられた電荷は急速に消費され、フォトダイオードPDを流れるセンサ電流I<sub>d</sub>はエンハンスメント型nチャンネルMOSトランジスタQ1を通る電流となり、出力電圧V<sub>d</sub>の変化は対数的となる。

【0019】この関係を図12に示しており、光が弱くセンサ電流I<sub>d</sub>が $10^{-12}$ ~ $10^{-11}$ の場合には、コンデンサCの電荷が放電され、検出電圧V<sub>d</sub>は線形的に変化するが、光が強くセンサ電流が $10^{-11}$ を超える領域では、検出電圧V<sub>d</sub>は対数的に変化する。つまり、この光センサ回路200の場合には、光が弱いとき(センサ電流I<sub>d</sub>が小さいとき)には通常MOS型素子と同等の線形的な出力特性が得られ、光が強くなると(センサ電流がある程度大きくなると)対数型の素子と同等の出力特性が得られる。これにより、センサ電流が小さい時は蓄積効果を利用することによって高感度を実現でき、且つ対数型素子で問題となる入射光が小さいときのS/N比の問題も改善できる。

【0020】なお、光センサ回路200がそれぞれ一つの画素を構成し、この光センサ回路200がマトリクス状に配設されてイメージセンサが構成される。この光センサ回路200においては、エンハンスメント型nチャンネルMOSトランジスタQ3のドレインの電圧V<sub>0</sub>が各画素の出力電圧となるが、この電圧V<sub>0</sub>とフォトダイオードPDの検出電流との関係は図13に示すようになる。

【0021】ここで、各画素を構成する光センサ回路200は、フォトダイオードPD、フォトダイオードの寄生容量Cの電荷を充放電するためのMOSトランジスタQ1、検出電圧を増幅して電流変換するためのMOSトランジスタQ2、この変換電流を外部に取り出すための

MOSトランジスタQ3等を一つの画素エリア内に組み込んで構成される。そして、イメージセンサを構成する場合に、画素数を多くしてイメージセンサの解像度を向上させる要求があり、このためには画素面積をできる限り小さくする必要がある。

【0022】

【発明が解決しようとする課題】ところが、画素を小さくするとフォトダイオードのサイズも必然的に小さくなり、上記光センサ回路200のように信号を読み出すために様々な素子を組み合わせると、小さなダイオードでは取り扱える電荷が小さくなるために、S/N比が低下し、イメージセンサの感度が低下するという問題がある。さらに、フォトダイオードの寄生容量は感度に影響し、寄生容量が大きいほど感度が低下するため、上記光センサ回路200のように様々な素子を組み合わせると、その配線等によって寄生容量が発生し、フォトダイオードの寄生容量が実質的に増加して感度が低下するという問題がある。

【0023】本発明はこのような問題に鑑み、寄生容量が小さくて感度の良好な光センサ回路およびこれを用いたイメージセンサを提供することを目的とする。

【0024】

【課題を解決するための手段】このような目的達成のため、本発明においては、光信号をセンサ電流に変換する光-電気変換手段と、光-電気変換手段が変換したセンサ電流を弱反転状態で対数特性を有する検出電圧に変換する変換用MOSトランジスタ(例えば、実施形態におけるエンハンスメント型nチャンネルMOSトランジスタQ1、デプレッション型nチャンネルMOSトランジスタQD1)と、この変換用MOSトランジスタの検出端子に接続して配設されたコンデンサと、光信号を検出する際に、変換用MOSトランジスタのゲート電圧にリセット用電圧を印加してドレインソース間のインピーダンスを低下させてコンデンサの充電または放電を制御する初期設定手段(例えば、実施形態におけるゲート電圧V<sub>G</sub>)とを備えて光センサ回路が構成され、この光センサ回路においては、光-電気変換手段がフォトゲート型光センサから構成され、フォトゲート型光センサのフォトゲートに所定電圧を印加するフォトゲート電圧印加手段(例えば、実施形態におけるフォトゲート印加電圧V<sub>PG</sub>)を備える。そして、この光センサ回路は、光-電気変換手段が変換したセンサ電流が所定電流以下の電流である場合には、コンデンサの充電電流または放電電流に比例した検出電圧を検出する線形応答領域を備え、光-電気変換手段が変換したセンサ電流が所定電流を超える電流である場合には、変換用MOSトランジスタの負荷特性に対応した対数特性を有する検出電圧を検出する対数応答領域を備える。

【0025】なお、上記コンデンサが接続された変換用MOSトランジスタの検出端子の電圧信号を増幅して検

出するための増幅用MOSトランジスタ（例えば、実施形態におけるエンハンスメント型nチャンネルMOSトランジスタQ2）を設けることが好ましく、上記コンデンサが接続された変換用MOSトランジスタの検出端子の電圧信号を検出するタイミングを設定するための選択用MOSトランジスタ（例えば、実施形態におけるエンハンスメント型nチャンネルMOSトランジスタQ3）を設けることが好ましい。

【0026】上記のように構成された本発明に係る光センサ回路では、光—電気変換手段がフォトゲート型光センサから構成され、フォトゲート型光センサのフォトゲートに所定電圧を印加するフォトゲート電圧印加手段を備えるので、このフォトゲート電圧印加手段によりフォトゲートに印加される電圧を調整してフォトゲート型光センサの寄生容量の大きさを調整することができる。このため、フォトゲートへの印加電圧を小さくして寄生容量を小さくし、光センサ回路の感度を向上させることができる。

【0027】本発明に係るイメージセンサは、上記の構成の光センサ回路を一次元もしくは二次元アレイ状に配設して構成されるのであるが、上述のように、フォトゲート電圧を小さくして光センサ回路の感度を高くすることができるため、この光センサ回路を用いて感度の良いイメージセンサを得ることができる。

【0028】

【発明の実施の形態】以下、本発明の好ましい実施形態について図面を参照して説明する。本発明に係る光センサ回路10の第1の構成例を図1に示している。この光センサ回路10は、フォトゲート型光センサ（光—電気変換手段）PS、これに直列に接続されたエンハンスメント型nチャンネルMOSトランジスタ（変換用MOSトランジスタ）Q1、フォトゲート型光センサPSとエンハンスメント型nチャンネルMOSトランジスタQ1の接続点P（センサ検出端子）にゲートが接続されたエンハンスメント型nチャンネルMOSトランジスタ（増幅用MOSトランジスタ）Q2、このエンハンスメント型nチャンネルMOSトランジスタQ2と直列に接続されたエンハンスメント型nチャンネルMOSトランジスタ（選択用MOSトランジスタ）Q3を有して構成される。また、接続点Pには、フォトゲート型光センサPS、エンハンスメント型nチャンネルMOSトランジスタQ1、エンハンスメント型nチャンネルMOSトランジスタQ2およびこれらを相互に接続する配線等によって生じる浮遊容量の合成値である寄生容量コンデンサCが接続される。

【0029】フォトゲート型光センサPSは光信号Lsを検出し、光信号Lsの照度に比例したセンサ電流Idに変換する。エンハンスメント型nチャンネルMOSトランジスタQ1はフォトゲート型光センサPSの負荷を形成し、フォトゲート型光センサPSで検出変換したセ

ンサ電流Idを電圧に変換してセンサ検出端子Pに検出電圧Vdを発生する。

【0030】なお、フォトゲート型光センサPSにおいて、フォトゲートGpにはフォトゲート印加電圧VPGから所定のフォトゲート電圧が印加されるようになっていいる。このフォトゲート電圧の印加によりセンサPS内に電荷井戸が形成され、しかもこの電荷井戸の深さは印加されるフォトゲート電圧に応じて変化する。この電荷井戸の深さはフォトゲート型光センサPSの寄生容量に対応し、このことから分かるように、フォトゲートGpの印加電圧の大きさを調整すれば、その寄生容量を調整することができる。

【0031】また、エンハンスメント型nチャンネルMOSトランジスタQ1は、センサ電流Idが小さな範囲の弱反転状態で対数特性を有するMOSトランジスタ負荷を形成し、フォトゲート型光センサPSで検出したセンサ電流Idを対数特性を有する検出電圧Vdに変換する。このため、光信号Lsが大きく変化してセンサ電流Idが大きく変化（桁数が異なるような大きな変化）しても、このように対数特性を有した変換がなされて検出電圧Vdの変化は抑えられてこれが飽和することがなく、入力に対する出力のダイナミックレンジを広くすることができる。

【0032】エンハンスメント型nチャンネルMOSトランジスタQ2は出力トランジスタを形成し、検出電圧Vdを電流信号に増幅して変換し、光センサ回路10の外部に増幅した電圧信号V0として取り出す作用を行う。また、エンハンスメント型nチャンネルMOSトランジスタQ3は、エンハンスメント型nチャンネルMOSトランジスタQ2で増幅された電圧信号を外部回路に接続又は切断するためのスイッチを形成する。

【0033】このような構成の光センサ回路10においては、図11に示したタイミングで、ドレイン電圧VD（＝5V）より充分高い高電圧VHとドレイン電圧VDと等しいもしくはこれより低い低電圧VLとがゲート電圧VGとして印加される。高電圧VHは回路リセットのための信号電圧として短時間t1の間だけ作用するもので、ゲート電圧VGとして高電圧VHが設定されると、エンハンスメント型nチャンネルMOSトランジスタQ1のドレインD—ソースS間のインピーダンスは低抵抗状態となり、コンデンサCは、図9において実線L（200）で示すように、急速に充電され、センサ検出端子Pの検出電圧Vdはドレイン電圧VD（＝5V）にほぼ等しい値（例えば、4.95V）まで急速に上昇する。このため、後述（図6）するように、光センサ回路10をマトリクス状に配置してなるイメージセンサに適用する場合、検出電圧Vdをリセットするときに初期値（4.95V）に到達するまでの応答性が良くなり、イメージセンサの残像発生を防止できる。

【0034】次に、検出可能期間t2の間だけゲート電

圧VGが低電圧VLに設定される。この状態では、エンハンスメント型nチャンネルMOSトランジスタQ1は弱反転状態となる。そして、フォトゲート型光センサPSに光が照射されるとまずコンデンサCに蓄えられた電荷が放電される。ここで、フォトゲート型光センサPSに入射する光が弱い場合はセンサ電流I<sub>d</sub>はほとんど流れないため、エンハンスメント型nチャンネルMOSトランジスタQ1は高インピーダンス状態であり、主にコンデンサCに充電された電荷が利用される。このため、出力電圧V<sub>d</sub>はコンデンサCからの放電量に対応しておりその変化はリニア（線形）的になる。このときの出力電圧V<sub>d</sub>の検出は、検出可能時間も2内での累積された放電量を検出するものであり、ピーク的なノイズの影響を受けることがなく、S/N比の高い検出が行われる。

【0035】一方、フォトゲート型光センサPSに入射する光が強くなると、検出電圧V<sub>d</sub>の特性は図11において矢印で示すように変化し、コンデンサCに蓄えられた電荷は急速に消費され、フォトゲート型光センサPSを流れるセンサ電流I<sub>d</sub>はエンハンスメント型nチャンネルMOSトランジスタQ1を通る電流となり、出力電圧V<sub>d</sub>の変化は対数的となる。

【0036】この関係は図12に示すようになり、図10に示した光センサ回路200と同様の特性が得られる。すなわち、光センサ回路10によれば、光が弱くセンサ電流I<sub>d</sub>が $10^{-12}$ ~ $10^{-11}$ の場合には、コンデンサCの電荷が放電され、検出電圧V<sub>d</sub>は線形的に変化するが、光が強くセンサ電流が $10^{-11}$ を超える領域では、検出電圧V<sub>d</sub>は対数的に変化する。つまり、この光センサ回路10の場合には、光が弱いとき（センサ電流I<sub>d</sub>が小さいとき）には通常のMOS型素子と同等の線形的な出力特性が得られ、光が強くなると（センサ電流がある程度大きくなると）対数型の素子と同等の出力特性が得られる。これにより、センサ電流が小さい時は蓄積効果を利用することによって高感度を実現でき、且つ対数型素子で問題となる入射光が小さいときでのS/N比低下の問題も改善できる。

【0037】このようにして得られた出力電圧V<sub>d</sub>は、エンハンスメント型nチャンネルMOSトランジスタQ2により増幅され、さらに、エンハンスメント型nチャンネルMOSトランジスタQ3により設定されるスイッチタイミングでライン11から検出電圧V<sub>0</sub>として外部に取り出される。なお、この検出電圧V<sub>0</sub>とセンサ電流との関係は、図13に示すようになる。

【0038】以上のように構成された光センサ回路10において、フォトゲート型光センサPSのフォトゲートG<sub>p</sub>に印加されるフォトゲート電圧V<sub>PG</sub>は、一般的に低電圧に設定され、その寄生容量が小さくなるようにしている。このため、コンデンサCの容量が小さくなり、光センサ回路10の感度が向上する。

【0039】本発明に係る光センサ回路の第2の構成例

を図2に示している。この光センサ回路10'は、図1の光センサ回路10から、スイッチを構成するエンハンスメント型nチャンネルMOSトランジスタQ3を取り外した構成を有し、この回路はスイッチ機能は得られないが、図1の場合と同様の特性の光信号の検出を行うことができる。

【0040】本発明に係る光センサ回路の第3の構成例を図3に示している。この光センサ回路10''は、図2の光センサ回路10から、信号増幅手段となるエンハンスメント型nチャンネルMOSトランジスタQ2を取り外した構成を有し、この回路は信号増幅はできないが、図1の場合と同様の特性の光信号の検出を行うことができる。

【0041】また、以上の構成におけるエンハンスメント型nチャンネルMOSトランジスタQ1に変えて、デプレッション型nチャンネルMOSトランジスタを用いて光センサ回路を構成しても良い。図4に、デプレッション型nチャンネルMOSトランジスタQD1の特性を実線で示し、エンハンスメント型nチャンネルMOSトランジスタQ1、Q2、Q3の特性を鎖線で示している。この特性から分かるように、エンハンスメント型nチャンネルMOSトランジスタQ1、Q2、Q3はゲート電圧VG=0のときには検出電流I<sub>d</sub>は出力されず、常にOFFの状態となるが、デプレッション型nチャンネルMOSトランジスタQD1の場合には、ゲート電圧VG=0の状態でも弱反転状態とすることができる。

【0042】具体的には、デプレッション型nチャンネルMOSトランジスタQD1のゲート電圧VG=0の状態が、図1に示した光センサ回路10においてエンハンスメント型nチャンネルMOSトランジスタQ1のゲートに低電圧VLを印加した状態と同一の状態となる。さらに、デプレッション型nチャンネルMOSトランジスタQD1のゲート電圧VG=V<sub>S</sub>とすれば、ドレインD—ソースS間の低抵抗状態とすることができる。このため、図5で示すタイミングでデプレッション型nチャンネルMOSトランジスタQD1のゲート電圧VG=V<sub>S</sub>とするだけで、図1の光センサ回路10において図11のタイミングで高電圧V<sub>H</sub>と低電圧V<sub>L</sub>とを印加する場合と同様の検出が可能である。このため、電源の数を少なくすることができる。

【0043】以上説明した光センサ回路では全てnチャンネルMOSトランジスタを用いているが、pチャンネルMOSトランジスタを用いることもできる。

【0044】次に、上記のような構成の本発明に係る光センサ回路10をマトリクス状に並べて構成したイメージセンサ50について、図6を参照して説明する。このイメージセンサ50は光センサ回路（画素）10を平面上にアレイ状に配設して長方形もしくは正方形に形成されており、ここでは定電圧電源VD、VDDは省略して示している。

【0045】このイメージセンサ50によりイメージ検出を行うには、一度に縦列に位置する各画素10の検出電圧V0を検出ライン55から取り出すとともに、この縦列の検出を各列毎に順次走査させて行う。なお、検出ライン55は、図1に示す出力ライン11に対応する。このような検出電圧V0の取り出しは、所定のタイミングでスイッチ電源VCを印加して行われ、検出完了の度に各縦列毎にエンハンスメント型nチャンネルMOSトランジスタQ1のゲートにゲート電圧VG=VSを印加してこれをリセットする。

【0046】このような、検出電圧V0の取り出しのためのスイッチ電源VCの印加端子を各画素10においてSELで示し、リセットのためのゲート電圧印加端子をRSTで示している。図4に示すように、縦列の画素の各取り出し用印加端子SELには取り出し信号ライン52が繋がり、各リセット用印加端子RSTにはリセット信号ライン53が繋がる。さらに、各取り出し信号ライン52は、図における左隣の縦列の画素の端子RSTに繋がるリセット信号ライン53に繋がる。

【0047】上記の構成のイメージセンサ50を用いるときには、左端側の縦に並んだ画素列から右方に向かって順次、取り出し信号ライン52に取り出し信号（スイッチ電源電圧VC）を印加（走査）して、検出電圧V0を取り出す。これにより、各縦の画素列を左から右に走査してイメージ検出を行う。ここで、左端縦画素列の検出電圧V0の取り出しが完了して、次に左から2番目の縦画素列の取り出し信号ライン52に取り出し信号を印加してこの縦画素列から検出信号の取り出しを行うときに、取り出し信号ライン52は左端の縦画素列のリセット信号ライン53に繋がるため、このリセット信号ライン53にリセット信号が印加され、左端側の縦画素列が全てリセットされ、次の光検出が行われる。以下、同様にして検出信号の取り出しが行われるときに同時に左隣の縦画素列のリセットが行われる。

【0048】このように構成すれば、検出信号の取り出しとリセットとを一つの信号で行うことができ、制御が簡単となる。なお、この検出信号の取り出しおよびリセットは、図5もしくは図11における時間t2の終了時点で行われる。

【0049】

【発明の効果】以上説明したように、本発明に係る光センサ回路では、光-電気変換手段がフォトゲート型光センサから構成され、フォトゲート型光センサのフォトゲートに所定電圧を印加するフォトゲート電圧印加手段を備えるので、このフォトゲート電圧印加手段によりフォトゲートに印加される電圧を調整してフォトゲート型光センサの寄生容量の大きさを調整することができる。このため、フォトゲートへの印加電圧を小さくして寄生容量を小さくし、光センサ回路の感度を向上させることが

できる。

【0050】本発明に係るイメージセンサは、上記の構成の光センサ回路を一次元もしくは二次元アレイ状に配設して構成されるのであるが、上述のように、フォトゲート電圧を小さくして光センサ回路の感度を高くすることができるため、この光センサ回路を用いて感度の良いイメージセンサを得ることができる。

【図面の簡単な説明】

【図1】本発明に係る光センサ回路の第1の構成例を示す回路図である。

【図2】本発明に係る光センサ回路の第2の構成例を示す回路図である。

【図3】本発明に係る光センサ回路の第3の構成例を示す回路図である。

【図4】デプレッション型およびエンハンスメント型nチャンネルMOSトランジスタの特性を示すグラフである。

【図5】デプレッション型nチャンネルMOSトランジスタを用いた光センサ回路におけるゲート電圧VG（取り出し信号）および検出電圧Vdの時間変化を示すグラフである。

【図6】本発明に係るイメージセンサの構成を示す概略図である。

【図7】従来の光センサ回路を示す回路図である。

【図8】従来の光センサ回路のセンサ電流Id-検出電圧Vdの特性を示すグラフである。

【図9】従来および本発明の光センサ回路の検出電圧Vdの時間変化を示すグラフである。

【図10】従来の光センサ回路の構成を示す回路図である。

【図11】従来および本発明の光センサ回路におけるゲート電圧VG（取り出し信号）および検出電圧Vdの時間変化を示すグラフである。

【図12】従来および本発明の光センサ回路のセンサ電流Id-検出電圧Vdの特性を示すグラフである。

【図13】従来および本発明の光センサ回路のセンサ電流Id-出力電圧V0の特性を示すグラフである。

【符号の説明】

10, 10', 10'' 光センサ回路

50 イメージセンサ

C コンデンサ

PS フォトゲート型光センサ（光-電気変換手段）

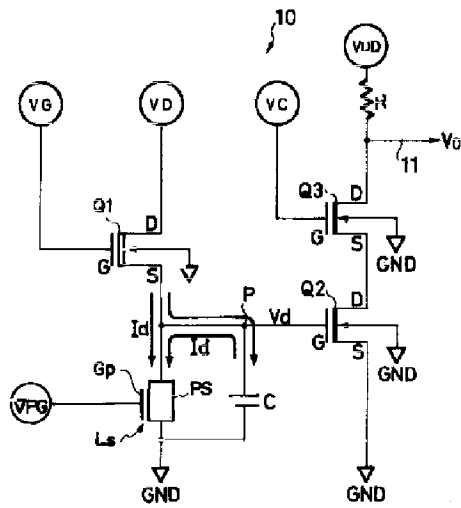
Q1 エンハンスメント型nチャンネルMOSトランジスタ（変換用MOSトランジスタ）

Q2 エンハンスメント型nチャンネルMOSトランジスタ（増幅用MOSトランジスタ）

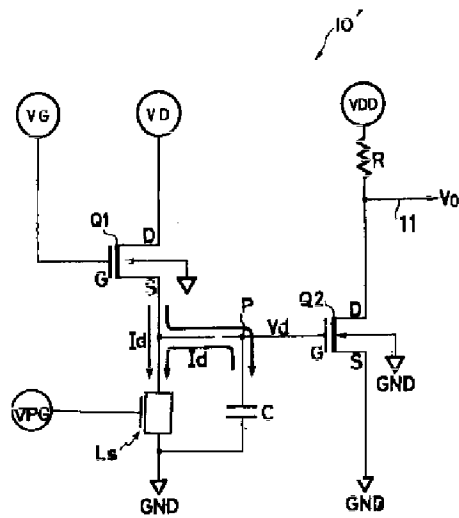
Q3 エンハンスメント型nチャンネルMOSトランジスタ（選択用MOSトランジスタ）



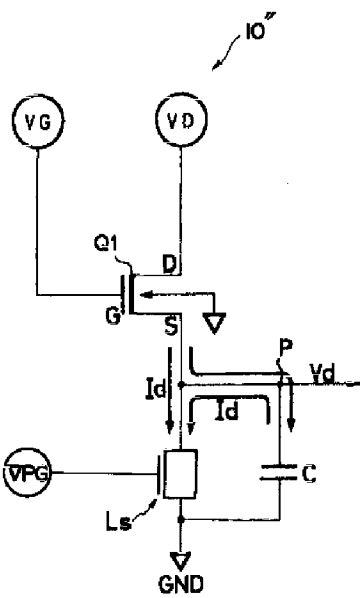
【図1】



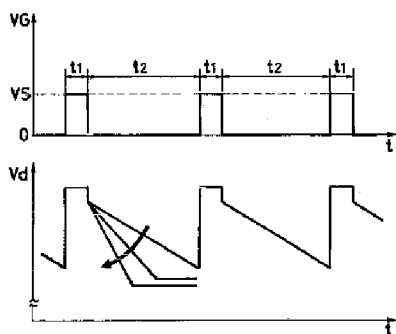
【図2】



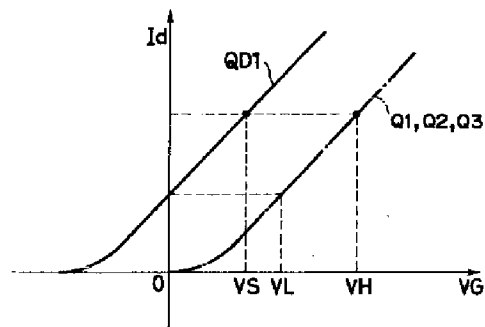
【図3】



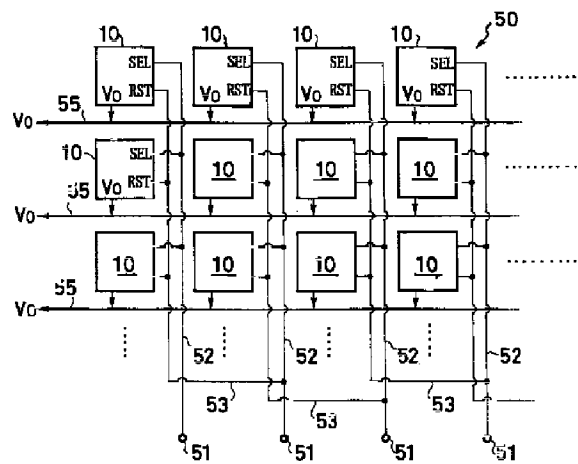
【図5】



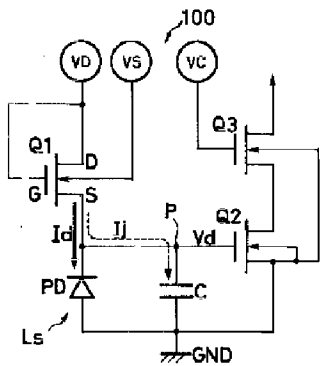
【図4】



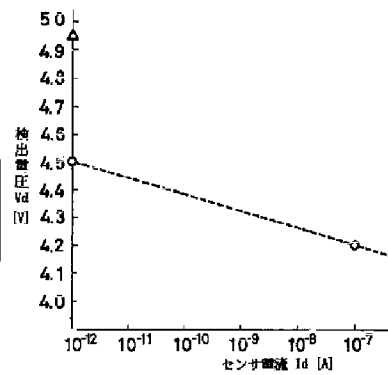
【図6】



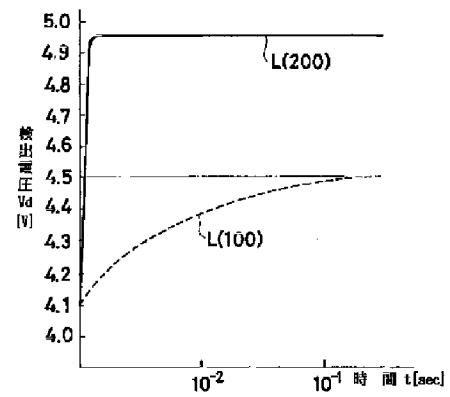
【图7】



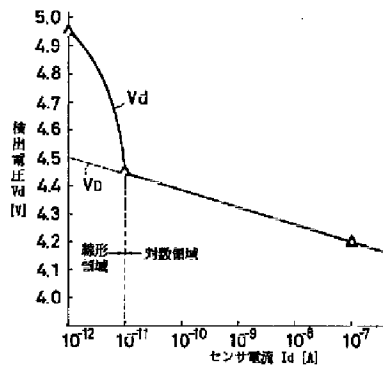
【例8】



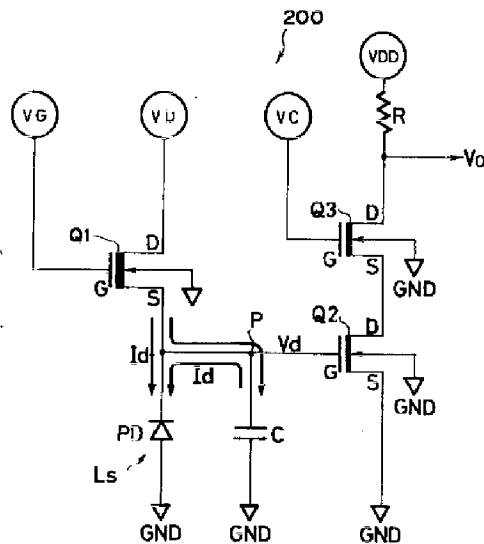
【例9】



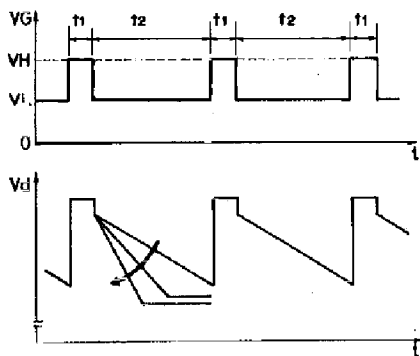
【例 12】



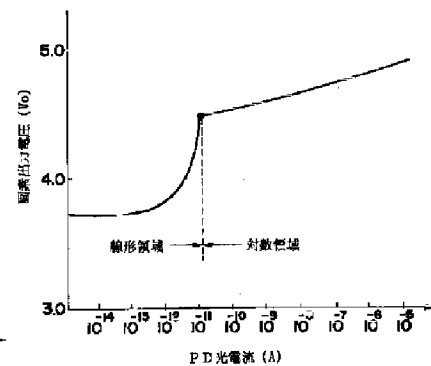
【例 10】



【☒ 1 1 】



【图 13】



フロントページの続き

(72)発明者 武部 克彦  
埼玉県和光市中央1丁目4番1号 株式会  
社本田技術研究所内

(72)発明者 今井 俊雄  
埼玉県所沢市大字下富武野840番地 シ  
チズン時計株式会社技術研究所内  
F ターム(参考) 4M118 AA02 AA05 AB10 BA14 BA15  
CA03 DD09 FA06 FA08  
5C024 AA01 CA12 CA15 FA01 FA08  
FA11 GA01 GA31 GA33